

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-098114

(43)Date of publication of application : 08.04.1997

(51)Int.Cl.

H04B 3/06
H03H 17/00
H03H 17/02
H03H 21/00

(21)Application number : 07-252739

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 29.09.1995

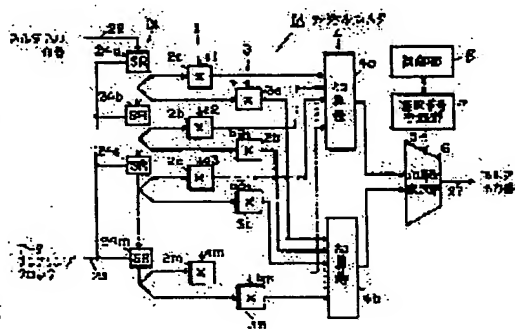
(72)Inventor : CHIYOUJIYA KAZUO

(54) DIGITAL FILTER AND CONTROL METHOD FOR THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce an error rate and to miniaturize a device by selecting filter output signals from plural adders corresponding to the state change of a transmission line, etc., concerning roll-off filter characteristics.

SOLUTION: An input signal 22 is successively and time-sequentially shifted by shift registers 22a-24m and the respective shift output signals are inputted to respective adders 4a and 4b after filter coefficients a1-am and b1-bm are multiplied by serial multipliers 2a-2m and 3a-3m. Then, all the values are added and a filter output signal 27 having different filter characteristics is calculated. One of these signals 27 is selected by an adder selecting part 6, to which a select signal 5 is inputted from a select signal register part 7 set by a control part 8, and outputted from a digital filter 1A as the optimum filter output signal 27. As a result, the plural serial adders having different filter characteristics can select the filter output signal 27 of the optimum filter characteristics by the adder selecting part 6.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-98114

(43) 公開日 平成9年(1997) 4月8日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 B 3/06			H 0 4 B 3/06	C
H 0 3 H 17/00	6 0 1	9274-5 J	H 0 3 H 17/00	6 0 1 C
17/02	6 1 3	9274-5 J	17/02	6 1 3 Z
21/00		9274-5 J	21/00	

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平7-252739

(22) 出願日 平成7年(1995) 9月29日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 長者 和男

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

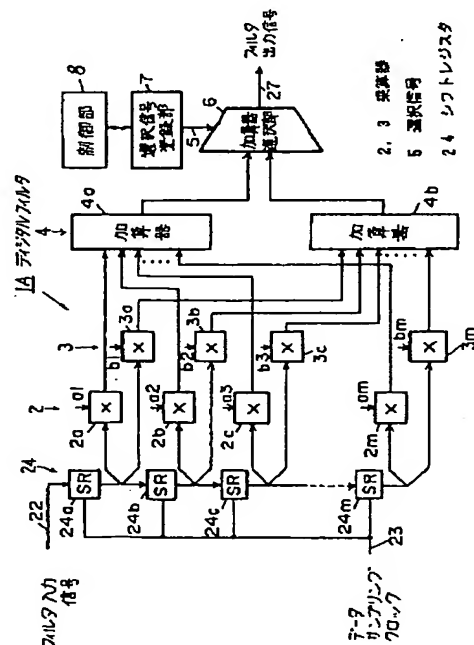
(74) 代理人 弁理士 滝本 智之 (外 1 名)

(54) 【発明の名称】 デジタルフィルタ及びその制御方法

(57) 【要約】

【目的】 デジタル無線通信でロールオフフィルタの特性を状態変化に応じて変更し信頼性の高いデジタルフィルタと自動的にエラーレート最適化する制御方法を提供することを目的とする。

【構成】 デジタル信号を順次シフトするシフトレジスタ24と、シフトレジスタ24からの各時系列信号にフィルタ特性を決める各係数aを乗じる一連の乗算器2、3と、各乗算器2、3からの値の加算を行う加算器4a、4bと、を備えたデジタルフィルタ1A、1Bであって、フィルタ特性の異なる複数の一連の乗算器2、3と、一連の乗算器2、3毎の値の加算を行う複数の加算器4と、各加算器4から出力される各フィルタ出力信号27を選択信号5により選択する加算器選択部6と、加算器選択部6に選択信号5を出力を行い選択信号5の設定値の変更が可能な選択信号登録部7と、選択信号登録部7の設定値を変更する制御部8と、を備えた構成を有している。



【特許請求の範囲】

【請求項1】フィルタ入力信号を順次シフトするシフトレジスタと、前記シフトレジスタからの各時系列信号にフィルタ特性を決める各係数を乗じる一連の乗算器と、前記各乗算器からの値の加算を行いフィルタ出力信号を出力する加算器と、を備えたデジタルフィルタであって、前記フィルタ特性の異なる複数の一連の前記乗算器と、一連の前記乗算器毎の値の加算を行う複数の前記加算器と、前記各加算器から出力される前記各フィルタ出力信号を選択信号により選択する加算器選択部と、前記加算器選択部に前記選択信号の出力を行い前記選択信号の設定値の変更が可能な選択信号登録部と、前記選択信号登録部の前記設定値を変更する制御部と、を備えていることを特徴とするデジタルフィルタ。

【請求項2】前記加算器選択部により選択された前記加算器からの前記フィルタ出力信号のエラーレートを算出するエラーレート算出部を備えていることを特徴とする請求項1に記載のデジタルフィルタの制御方法。

【請求項3】請求項2のデジタルフィルタの制御方法であって、前記制御部が、順次前記選択信号登録部の前記設定値を変更し、前記加算器選択部により選択された前記加算器の前記フィルタ出力信号のエラーレートを順次算出し、前記エラーレートが最小値を示す前記設定値を選択信号登録部に設定することを特徴とするデジタルフィルタの制御方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、デジタル信号の伝送において波形整形を行うために設けられるデジタルフィルタ及びその制御方法に関するものである。

【0002】

【従来の技術】近年、デジタル無線通信においては、限られた周波数帯域を有効に利用する等の目的から変調信号波の占有帯域幅には厳しい制限が課せられている。従って、変調装置においてフィルタを用いて、コサインロールオフ波形整形処理を施して変調信号波を所望の帯域内に納まるようにしている。この変調装置に用いられるデジタルフィルタとしてはFIR (Finite Impulse Response) フィルタ等が知られている。

【0003】以下に従来のデジタルフィルタについて説明する。図3は従来のデジタルフィルタの構成を示すブロック図である。21は従来のデジタルフィルタ、22はフィルタ入力信号、23はデータサンプリングクロック、24a、24b、24c、24mはフィルタ入力信号22をデータサンプリングクロック23によりラッチする複数段からなるシフトレジスタであり、前段のシフトレジスタのデータを時系列的に順次ラッチする。25a、25b、25c、25mは各シフトレジスタ24a、24b、24c、24mからの出力信号に重み付け係数であるフィルタ係数a1、a2、a3、am

を乗じる一連の乗算器、26は各乗算器25a、25b、25c、25mからの信号を加算する加算器、27は加算器26から出力されるフィルタ出力信号である。

【0004】以上のように構成された従来のデジタルフィルタについて、以下その動作を説明する。図2において、従来のデジタルフィルタ21を通過させるフィルタ入力信号22をシフトレジスタ24aに入力する。このフィルタ入力信号22は、データサンプリングクロック23により次々にシフトレジスタ24a、24b、24c、24mに時系列的にシフトされ、各シフトレジスタからS1～Smからなる出力信号を出力する。この出力信号は、各乗算器25a、25b、25c、25mにてフィルタ係数a1、a2、a3、amが乗算され、加算器26に入力される。加算器26において、入力された全ての値を加算し、フィルタ出力信号27として出力する。

【0005】

【発明が解決しようとする課題】しかしながら上記従来の構成では、乗算器のフィルタ係数を固定し、論理回路で構成する場合、ASIC (Application Specific Integrated Circuit) 等を用いて小型化が可能となるが、衛星通信端末のロールオフフィルタでの使用を考えた場合、衛星や伝送路等の状態変化に応じてフィルタ特性を変更できず、エラーレートを最適化できず、信頼性及び汎用性に欠けるという問題点を有していた。

【0006】本発明は上記従来の問題点を解決するもので、デジタル無線通信において、ロールオフフィルタの特性を衛星や伝送路の状態変化に応じて変更可能な、エラーレートが小さい信頼性及び量産性に優れたデジタルフィルタ、及び、ロールオフフィルタの特性を衛星や伝送路の状態変化に応じて自動的にエラーレートを最適化する操作性に優れたデジタルフィルタの制御方法を提供することを目的とする。

【0007】

【課題を解決するための手段】この目的を達成するために本発明の請求項1に記載のデジタルフィルタは、フィルタ入力信号を順次シフトするシフトレジスタと、シフトレジスタからの各時系列信号にフィルタ特性を決める各係数を乗じる一連の乗算器と、各乗算器からの値の加算を行いフィルタ出力信号を出力する加算器と、を備えたデジタルフィルタであって、フィルタ特性の異なる複数の一連の乗算器と、一連の乗算器毎の値の加算を行う複数の加算器と、各加算器から出力される各フィルタ出力信号を選択信号により選択する加算器選択部と、加算器選択部に選択信号の出力を行い選択信号の設定値の変更が可能な選択信号登録部と、選択信号登録部の設定値を変更する制御部と、を備えている構成を有している。

【0008】請求項2に記載のデジタルフィルタは、請求項1において、加算器選択部により選択された加算

器からのフィルタ出力信号のエラーレートを算出するエラーレート算出部を備えている構成を有している。

【0009】請求項3に記載のデジタルフィルタの制御方法は、請求項2のデジタルフィルタの制御方法であって、制御部が、順次選択信号登録部の設定値を変更し、加算器選択部により選択された加算器のフィルタ出力信号のエラーレートを順次算出し、エラーレートが最小値を示す設定値を選択信号登録部に設定する加算器選択部により選択された加算器からのフィルタ出力信号のエラーレートを算出するエラーレート算出部を備えている構成を有している。

【0010】

【作用】この構成によって、フィルタ入力信号を順次シフトするシフトレジスタと、シフトレジスタからの各時系列信号にフィルタ特性を決める各係数を乗じる乗算器と、乗算器からの値の加算を行いフィルタ出力信号を出力する加算器と、を備えたデジタルフィルタであって、フィルタ特性の異なる複数の乗算器と、各乗算器からの値の加算を行う複数の加算器と、各加算器から出力される各フィルタ出力信号の1つを選択信号により選択する選択部と、選択信号の値の変更が可能で選択部に選択信号を出力する選択信号登録部と、選択信号登録部の設定値を変更する制御部と、を備えているので、制御部により選択信号登録部の選択信号を変更することができ、衛星や伝送路の信号帯域やノイズ等の状態変化等に応じて複数の加算器からのフィルタ出力信号を選択するので、デジタルフィルタの最適化を図り、エラーレートを極めて小さくできる。又、構成が極めて容易で、装置の小型化を実現し、量産性を向上することができる。

【0011】又、選択部により順次選択される1つの加算器からのフィルタ出力信号のエラーレートを算出するエラーレート算出部を備え、通信衛星との試験データの送受信を行い、エラーレートが最少になる選択信号を選択信号登録部に自動的に設定することができ、衛星や伝送路の状態変化に応じてフィルタ特性を適宜最適化でき、操作性に優れる。

【0012】

【実施例】以下本発明の一実施例のデジタルフィルタについて、図面を参照しながら説明する。

【0013】（実施例1）図1は本発明の第1実施例におけるデジタルフィルタの構成を示すブロック図である。1Aは本発明の第1実施例におけるデジタルフィルタである。22はフィルタ入力信号、23はデータサンプリングクロック、24a、24b、24c、24mはシフトレジスタ、27はフィルタ出力信号である。これらは従来例の図3と同等なものなので、同一の符号を付して説明を省略する。従来例と異なるのは、フィルタ特性の異なる2組の一連の乗算器2a、2b、2c、2m及び3a、3b、3c、3mと、一連の乗算器毎の値の加算を行う2組の加算器4a及び4bと、各加算器4

a、4bから出力される各フィルタ出力信号を選択信号5により選択するセレクト回路等からなる加算器選択部6と、加算器選択部6への選択信号5の設定の変更が可能なレジスタ回路等からなる選択信号登録部7と、選択信号登録部7の設定値を変更するCPU等からなる制御部8と、を設けた点である。

【0014】以上のように構成された本発明の第1実施例におけるデジタルフィルタ1Aについて、以下その動作を説明する。図1において、デジタルフィルタ1Aを通過させるフィルタ入力信号22をシフトレジスタ24aに入力する。このフィルタ入力信号22は、データサンプリングクロック23により次々にシフトレジスタ24b、24cからシフトレジスタ24mへと時系列的にシフトされ、各シフトレジスタ24a、24b、24cから各出力信号が出力される。この出力信号は、一連の乗算器2a、2b、2c、2m及び一連の乗算器3a、3b、3c、3mにてそれぞれ異なるa1、a2、a3、am及びb1、b2、b3、bmからなるフィルタ係数が乗算され、各加算器4a、4bに入力される。加算器4a、4bにおいて、入力された全ての値を加算しフィルタ特性の異なるフィルタ出力信号27が算出される。この各フィルタ出力信号27の1つが、制御部8により設定された選択信号登録部7からの選択信号5が入力される加算器選択部6により選択され、最適なフィルタ出力信号27としてデジタルフィルタ1Aから出力される。

【0015】以上のように本実施例によれば、異なるフィルタ特性を有する一連の乗算器を複数備え、加算器選択部6によりフィルタ特性が最適なフィルタ出力信号27が選択でき、衛星や伝送路の状態変化に対応してエラーレートを著しく減少することが、信頼性を向上することができる。

【0016】（実施例2）以下本発明の第2実施例のデジタルフィルタについて説明する。図2は本発明の第2実施例におけるデジタルフィルタの構成を示すブロック図である。1Bは本発明の第2実施例におけるデジタルフィルタである。2a、2b、2c、2m、3a、3b、3c、3mは乗算器、4a、4bは加算器、5は選択信号、6は加算器選択部、7は選択信号登録部、8は制御部、22はフィルタ入力信号、23はデータサンプリングクロック、24a、24b、24c、24mはシフトレジスタ、27はフィルタ出力信号である。これらは実施例1の図1と同等のものなので、同一の符号を付して説明を省略する。実施例1と異なるのは、制御部8に、加算器選択部6により選択された加算器4a又は加算器4bのいずれかのフィルタ出力信号27のエラーレートを算出するエラーレート算出部9を設けた点である。又、制御部8が、順次選択信号登録部7の設定値を変更し、加算器選択部6により選択された加算器4a又は加算器4bからのフィルタ出力信号27を

エラーレート算出部9に入力し、エラーレートが最小値を示す設定値を選択信号登録部7に設定するように構成した点である。

【0017】以上のように構成された本発明の第2実施例におけるデジタルフィルタ1Bのフィルタ係数の最適化について、以下その動作について説明する。まず、制御部8により、選択信号登録部7の設定値を初期設定する。初期設定により、加算器選択部6は、加算器4a又は加算器4bからの出力の1つをフィルタ出力信号27として選択する。すなわち、一連の乗算器2a, 2b, 2c, 2mにおいて乗算された値が、加算器4aにより加算され、又、一連の乗算器3a, 3b, 3c, 3mにおいて乗算された値が、加算器4bにより加算される。この選択されたフィルタ出力信号27が、制御部8のエラーレート算出部9に入力されエラーレートが算出される。次に、制御部8により、選択信号登録部7の設定値を変更し、同様に異なる乗算器2a, 2b, 2c, 2m, 3a, 3b, 3c, 3m及び加算器4a, 4bからのフィルタ出力信号27のエラーレートを算出する。この動作を順次繰り返し、異なるフィルタ係数の中からエラーレートが最小になるフィルタ係数を有する乗算器2a, 2b, 2c, 2m, 3a, 3b, 3c, 3mの加算を行う加算器を選択するように選択信号登録部7の設定値を設定する。このように、制御部8によりフィルタ係数を変更してエラーレートを算出することにより、フィルタ特性の最適化を自動的に行うことができる。

【0018】以上のように本実施例によれば、デジタルフィルタのフィルタ特性を最適に変更できるようにしたので、衛星や伝送路の状態変化に対応してエラーレートを著しく減少することができる。衛星や伝送路の仕様が変更されても、自動的にフィルタ特性を自動的に変更できるようにしたので、装置を継続して使用可能で、信頼性及び汎用性を向上させることができる。

【0019】

【発明の効果】以上のように本発明は、フィルタ特性の異なる複数の一連の乗算器と、一連の乗算器からの値の加算を行う複数の加算器と、各加算器から出力される各フィルタ出力信号の1つを選択信号により選択する加算器選択部と、選択信号の値の変更が可能で加算器選択部に選択信号を出力する選択信号登録部と、選択信号登録部の設定値を変更する制御部と、を備えているので、制御部により選択信号登録部の選択信号を変更し、衛星や

伝送路の信号帯域やノイズ等の状態変化等に応じて複数の加算器からのフィルタ出力信号を選択することができるので、デジタルフィルタの最適化を図り、エラーレートが極めて小さく信頼性に優れたデジタルフィルタを実現することができる。又、構成が極めて容易で、装置の小型化及び量産性に優れたデジタルフィルタを実現することができる。

【0020】又、選択部により順次選択される1つの加算器からのフィルタ出力信号のエラーレートを算出するエラーレート算出部を備え、通信衛星との試験データの送受信を行い、エラーレートが最少になる選択信号を選択信号登録部に自動的に設定することができ、衛星や伝送路の状態変化に応じてフィルタ特性を適宜最適化でき、操作性に優れたデジタルフィルタの制御方法を実現することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例におけるデジタルフィルタの構成を示すブロック図

【図2】本発明の第2実施例におけるデジタルフィルタの構成を示すブロック図

【図3】従来のデジタルフィルタの構成を示すブロック図

【符号の説明】

- 1A 本発明の第1実施例におけるデジタルフィルタ
- 1B 本発明の第2実施例におけるデジタルフィルタ
- 2, 2a, 2b, 2c, 2m, 3, 3a, 3b, 3c, 3m 乗算器
- 4, 4a, 4b 加算器
- 5 選択信号
- 6 加算器選択部
- 7 選択信号登録部
- 8 制御部
- 9 エラーレート算出部
- 21 従来のデジタルフィルタ
- 22 フィルタ入力信号
- 23 データサンプリングクロック
- 24, 24a, 24b, 24c, 24m シフトレジスタ
- 25a, 25b, 25c, 25m 乗算器
- 26 加算器
- 27 フィルタ出力信号

(6)

特開平9-98114

【図3】

